

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-267557

(43)Date of publication of application : 15.10.1993

(51)Int.Cl.

H01L 25/00

(21)Application number : 04-060034

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 17.03.1992

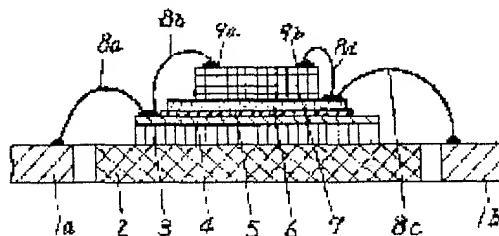
(72)Inventor : NASU TORU
FUJII EIJI
OTSUKI TATSUO
UEMOTO YASUHIRO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To decrease needless radiation by building a bypass capacitor in a semiconductor device.

CONSTITUTION: A supporting substrate 3 is junctioned onto the die pad 2 of a lead frame, and a semiconductor substrate 7 is junctioned onto the supporting substrate 3. A first conductive film 4, a ferroelectric film 5, and a second conductive film 6 are stacked on the supporting substrate 3, thus a capacitor is constituted, with each as a lower electrode, a capacitive insulating film, and an upper electrode. The power source terminal 9a on the integrated circuit built in a semiconductor substrate 9 is electrically connected to a first conductive film 4, and the ground terminal 9b to a second conductive film 6. By the above constitution, it turns out that a bypass capacitor is built in the semiconductor device, and the loop of a current can be made small, and needless radiation can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-267557

(43)公開日 平成5年(1993)10月15日

(51)Int.Cl.⁵

H01L 25/00

識別記号

庁内整理番号

B

FI

技術表示箇所

審査請求 未請求 請求項の数4(全4頁)

(21)出願番号 特願平4-60034

(22)出願日 平成4年(1992)3月17日

(71)出願人 000005843

松下電子工業株式会社

大阪府門真市大字門真1006番地

(72)発明者 那須 徹

大阪府門真市大字門真1006番地 松下電子
工業株式会社内

(72)発明者 藤井 英治

大阪府門真市大字門真1006番地 松下電子
工業株式会社内

(72)発明者 大槻 達男

大阪府門真市大字門真1006番地 松下電子
工業株式会社内

(74)代理人 弁理士 小鍛冶 明 (外2名)

最終頁に続く

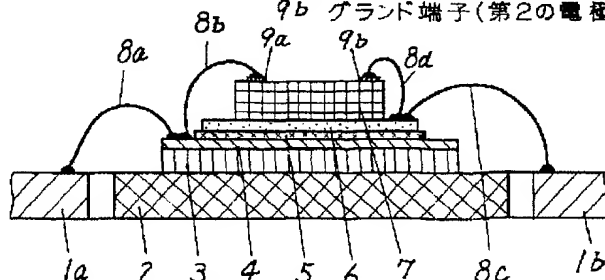
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 半導体装置内部にバイパスコンデンサを内蔵し、不要輻射を減少させる。

【構成】 リードフレームのダイパッド2上には支持基板3が接合されており、支持基板3上には半導体基板7が接合されている。支持基板3上には、第1の導電性膜4と強誘電体薄膜5と第2の導電性膜6とが積層されており、それぞれ下電極、容量絶縁膜、上電極としてコンデンサを構成している。半導体基板9に作り込まれた集積回路上の電源端子9aは第1の導電性膜4と、グランド端子9bは第2の導電性膜6とそれぞれ電氣的に接続されている。以上の構成により、半導体装置の内部にバイパスコンデンサが内蔵されることになり、電流のループを小さくでき、不要輻射を低減できる。

1a 第1のリード
1b 第2のリード
2 ダイパッド
3 支持基板
4 第1の導電性膜
5 強誘電体薄膜
6 第2の導電性膜
7 半導体基板
9a 電源端子(第1の電極)
9b グランド端子(第2の電極)



【特許請求の範囲】

【請求項1】 リードフレームのダイパッド上に第1の導電性膜と強誘電体薄膜と第2の導電性膜とを順次積層した支持基板と集積回路が作り込まれた半導体基板とが搭載されており、集積回路上の第1の電極と第1の導電性膜とリードフレームの第1のリードとが電気的に接続され、集積回路上の第2の電極と第2の導電性膜とリードフレームの第2のリードとが接続されている半導体装置。

【請求項2】 リードフレームのダイパッド上に第1の導電性膜と強誘電体薄膜と第2の導電性膜とが順次形成されており、第2の導電性膜上に集積回路が作り込まれた半導体基板が搭載されており、集積回路上の第1の電極と第1の導電性膜とリードフレームの第1のリードとが電気的に接続され、集積回路上の第2の電極と第2の導電性膜とリードフレームの第2のリードとが接続されている半導体装置。

【請求項3】 強誘電体薄膜が $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ ($x=0\sim 1$)の組成でペロブスカイト型結晶の多結晶膜であることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 強誘電体薄膜が $\text{Pb}_x\text{La}_{1-x}\text{Zr}_y\text{Ti}_{1-y}\text{O}_3$ ($x=0\sim 1, y=0\sim 1$)の組成でペロブスカイト型結晶の多結晶膜であることを特徴とする請求項1または2記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、高速の電気信号を扱うマイクロコンピュータ等の集積回路が作り込まれた半導体装置に関する。

【0002】

【従来の技術】 従来より、マイクロコンピュータ等の集積回路を駆動する場合に駆動電源電圧に含まれる不要な高周波成分を取り除く方法として、半導体装置の外部に引き出された電源線とグランド線との間に容量値が5 nF以上の大きな値を持つコンデンサを挿入する方法を用いていた。(以下このような働きをするコンデンサをバイパスコンデンサという)。

【0003】 以下従来の半導体装置について説明する。図3は従来の半導体装置の断面図である。図3において、11はリードフレームのリード、12はリードフレームのダイパッド、13は集積回路が作り込まれた半導体基板、14はワイヤ、15aは電源端子、15bはグランド端子である。半導体基板13に作り込まれた集積回路の電源端子15aとグランド端子15bはそれぞれリード11の一部にワイヤ14により電気的に接続されており、リード11によって半導体装置の外部に引き出されている。このような構成による半導体装置を駆動する場合、駆動電源電圧に含まれる不要な高周波成分を取り除くために半導体装置の外部で電源端子15aとグランド端子15bとの間に容量の大きなバイパスコンデン

サを挿入していた。

【0004】

【発明が解決しようとする課題】 しかしながら上記従来の構成では、バイパスコンデンサが半導体装置の外部にあるため集積回路と外部のバイパスコンデンサとを通じて生じる電流のループが大きくなり、多量の不要輻射が発生するという課題を有していた。

【0005】 本発明は上記従来の課題を解決するもので、半導体装置の内部に容量の大きいバイパスコンデンサを内蔵することにより電流のループが小さく、従って不要輻射の少ない半導体装置を提供することを目的とする。

【0006】

【課題を解決するための手段】 この目的を達成するために本発明の半導体装置は、リードフレームのダイパッド上に、第1の導電性膜と強誘電体薄膜と第2の導電性膜とを順次積層した支持基板と集積回路が作り込まれた半導体基板とが搭載されており、第1の電極と第1の導電性膜とリードフレームの第1のリードとが電気的に接続され、第2の電極と第2の導電性膜とリードフレームの第2のリードとが接続された構成を有している。

【0007】

【作用】 この構成によって、支持基板上に誘電率の大きい強誘電体薄膜を容量絶縁膜とした容量の大きなバイパスコンデンサが構成され、半導体基板に作り込まれた集積回路と電気的に接続されることにより半導体装置の内部にバイパスコンデンサが内蔵されるので、電流のループが小さくなり不要輻射を低減することができる。

【0008】

【実施例】 以下本発明の第1の実施例について、図面を参照しながら説明する。図1は本発明の第1の実施例における半導体装置の断面図である。図1において、1a、1bはそれぞれリードフレームの第1、第2のリード、2はリードフレームのダイパッド、3は支持基板、4は第1の導電性膜、5は強誘電体薄膜、6は第2の導電性膜、7は集積回路が作り込まれた半導体基板、8a、8b、8c、8dはワイヤ、9aは集積回路の電源端子、9bは集積回路のグランド端子である。ダイパッド2上には支持基板3が接合されており、支持基板3上には半導体基板7が接合されている。また支持基板3上には、第1の導電性膜4、強誘電体薄膜5、第2の導電性膜6が積層されており、それぞれ下電極、容量絶縁膜、上電極としてコンデンサを構成している。このコンデンサの容量は、例えば強誘電体薄膜5の組成が誘電率200以上である $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ ($x=0\sim 1$)または $\text{Pb}_x\text{La}_{1-x}\text{Zr}_y\text{Ti}_{1-y}\text{O}_3$ ($x=0\sim 1, y=0\sim 1$)であり、膜厚が1 μm 以下の場合面積10mm²で18nF以上の大きな値が得られる。

【0009】 次にこのように構成された半導体装置の内部の結線について説明する。半導体基板7に作り込まれた集積回路上の電源端子9aはワイヤ8bにより第1の

導電性膜4に接続され、第1の導電性膜4はワイヤ8aにより第1のリード1aに接続されている。またグランド端子9bはワイヤ8dにより第2の導電性膜6に接続され、第2の導電性膜6はワイヤ8cにより第2のリード1bに接続されている。このようにして、集積回路の電源端子9aとグランド端子9bとの間に容量の大きなコンデンサが挿入されることになり、このコンデンサはバイパスコンデンサとして動作する。したがって、半導体装置の外部にバイパスコンデンサを挿入する必要がなくなり、電流のループを小さくできるので不要輻射を低減できる。

【0010】なお本実施例では、ダイパッド2に支持基板3を接合し、その支持基板3の上に半導体基板7を接合したが、ダイパッド2の上に支持基板3と半導体基板7とを接合してもよい。またダイパッド2の上に半導体基板7を接合し、支持基板3を裏返しにして半導体基板7に搭載し、集積回路の電源端子9aおよびグランド端子9bと支持基板3に作り込まれたコンデンサの第1の導電性膜4および第2の導電性膜6とを半導体基板7または支持基板3のいずれかに形成した突起電極により電気的に接続してもよい。

【0011】次に本発明の第2の実施例における半導体装置について、図面を参照しながら説明する。図2はその半導体装置の断面図である。基本構造は図1に示す第1の実施例と同じなので、異なる点についてのみ説明する。第2の実施例では図1に示す支持基板3を用いず、第1の導電性膜4を直接ダイパッド2の上に形成し、その上に強誘電体薄膜5および第2の導電性膜7を形成し、コンデンサを構成している。

【0012】このようにして構成された半導体装置の内部の結線については図1に示す第1の実施例と同様であり省略するが、第1の実施例と同様に集積回路の電源端子9aとグランド端子9bとの間に容量の大きなコンデ

ンサが挿入されることになり、このコンデンサはバイパスコンデンサとして動作する。したがって、半導体装置の外部にバイパスコンデンサを挿入する必要がなくなり、電流のループを小さくできるので不要輻射を低減できる。

【0013】

【発明の効果】以上のように本発明は、半導体装置の内部で支持基板に作り込まれた容量の大きなコンデンサが半導体基板に作り込まれた集積回路の電極間に挿入されることになり、外付け部品が減少するとともにコンデンサが有効に作動する優れた半導体装置を実現できるものである。また集積回路上の電源端子とグランド端子の間に上記のコンデンサを挿入した場合には、電流のループが小さくなり、不要輻射の少ない半導体装置を実現できる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例における半導体装置の断面図

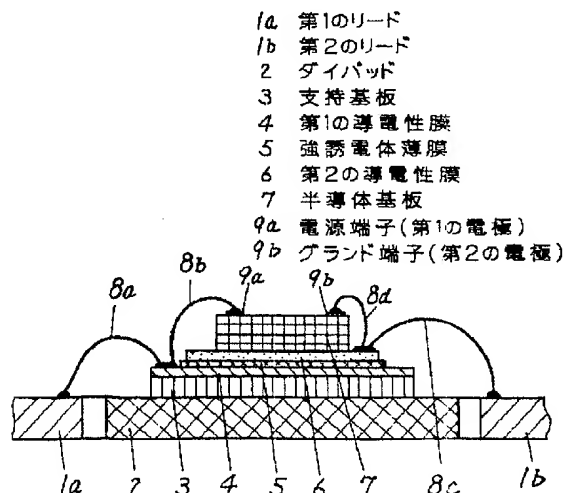
【図2】 本発明の第2の実施例における半導体装置の断面図

【図3】 従来の半導体装置の断面図

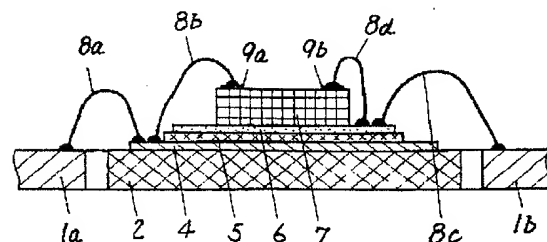
【符号の説明】

- 1a 第1のリード
- 1b 第2のリード
- 2 ダイパッド
- 3 支持基板
- 4 第1の導電性膜
- 5 強誘電体薄膜
- 6 第2の導電性膜
- 7 半導体基板
- 9a 電源端子（第1の電極）
- 9b グランド端子（第2の電極）

【図1】



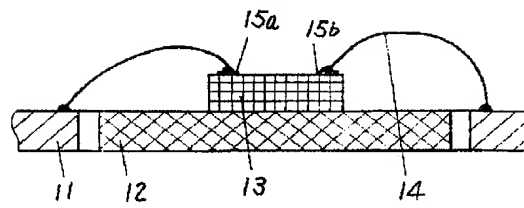
【図2】



(4)

特開平05-267557

【図3】



フロントページの続き

(72) 発明者 上本 康裕

大阪府門真市大字門真1006番地 松下電子
工業株式会社内